**МИНОБРНАУКИ РОССИИ**

**САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ**

**ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ**

**«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)**

**Кафедра ВТ**

**КУРСОВАЯ РАБОТА**

**по дисциплине «Элементная база цифровых систем»**

**Тема**: **Программируемый преобразователь кода в ШИМ-сигнал**

**Вариант №5.5**

| Студент гр. 1307 |  | Угрюмов М.М. |
| --- | --- | --- |
| Преподаватель |  | Ельчанинов М.Н. |

Санкт-Петербург

2024

**Оглавление**

[Задание на проектирования узла 3](#_zapmgblrvbgr)

[Описание предлагаемого варианта реализации узла 3](#_hnfbtmt44t4v)

[Схема на основе счетчиков и параллельного регистра 6](#_clb8h63da3rt)

[Описание основных элементов библиотеки САПР Quartus II и стандартных микросхем, необходимых для реализации вариантов узла 7](#_gauopuft81t)

[Описание процесса синтеза и моделирования работы предложенных вариантов средствами САПР Quartus II при графическом вводе проектов и полученных при этом результатов 8](#_fw86u61pet8s)

[Синтез и моделирование узла на основе счетчиков и параллельного регистра для 20-ти битового входного параллельного кода 14](#_lfj40y9xykl3)

[Разработка интерфейса сопряжения схемы узла с процессорной системой, для которой проектируемый узел является внешним устройством 17](#_62epfe28gvf6)

[Разработка генератора тактовых импульсов 19](#_jmlk4t275v0j)

[Вывод 22](#_k9hgujlimhs2)

[Список использованных источников 23](#_6dj57963porh)

# Задание на проектирования узла

Разработать принципиальную электрическую схему преобразования параллельного входного кода N в широтно-модулированный импульсный сигнал (рис. 10) с длительностью tИ и периодом ТЦ, где tИ = NТЦ/NMAX, ТЦ = (NMAX+1)kT, Т – период тактового генератора (генератор разрабатывается), а коэффициент k = 1, 4, 8 задается управляющим кодом.

Таблица 1. Вариант задания

| **Вариант** | **Разрядность входного кода, бит** | **Область АП** |
| --- | --- | --- |
| 5.5 | 20 | 35h |

Входной код, управляющий код и сигналы пуска/останова преобразователя поступают из управляющего устройства (процессора). Преобразователь рассматривается как ВУ процессорной системы, имеющее адрес в заданной части адресного пространства АП емкостью 256 адресов.

# Описание предлагаемого варианта реализации узла

На вход узла подается сигнал «WritePWM», происходит параллельная загрузка кода и выбор частоты управляющим кодом. Далее на вход узла подается сигнал «Start/Stop» для начала работы узла, затем начинает выполняться вывод ШИМ-сигнала, полученного из параллельного входного кода. Сигнал «Start/Stop» в положении «0» запускает останов передачи ШИМ-сигнала. Сигнал «CLK» приходит от разрабатываемого генератора тактовых импульсов.

Выходной сигнал «PWM» представляет собой выходной ШИМ-сигнал с периодом сигнала ТЦ = (NMAX+1)kT и периодом импульса tИ = NТЦ/NMAX, где T – период сигнала с тактового генератора, N – входной параллельный код, а NMAX – максимально возможное число входного параллельного кода.

**CT1** –делитель входной частоты, счетчик на счетный вход которого подан сигнал от генератора тактового сигнала. При этом его выходы будут делить входную частоту на 2 – младший разряд, на 4 – второй разряд, на 8 – старший разряд. В нашем случае младший разряд останется неиспользованным.

Выходы счетчика 2, 3 и входная частота с генератора подаются на входы цифрового мультиплексора (**MUX**), на адресные входы которого подается управляющий код, выбирающий коэффициент k = 1, 4, 8.

Выбранная при помощи мультиплексора частота подается на счетный вход 21-битного счетчика **СТ2**. Счетчик имеет вход «установка в 0» или «sclr», на который подается сигнал с 21 вывода этого счетчика. Это обеспечивает цикл ТЦ = (NMAX+1)kT.

Сигналы со счетчика и регистра **RG1** подаются на схему сравнения.В качестве формирователя используем триггер с асинхронными входами. Сигнал с 21 вывода счетчика **СТ2** подается на вход **S**, со схемы сравнения – **R**.

Для возможности пуска/останова ШИМ-сигнала выход триггера подается на вход элемента **2И**, на второй которого приходит сигнал управления «Start/Stop». Шина адреса подается на логические элементы **8ИЛИ-НЕ**, которые обеспечивает выделение двух адресов 0х35 для адресации регистра стробирующего сигнала для записи ШИМ-сигнал и 0х36 для адресации регистра пуска/останова ШИМ-сигнала.

Когда счетчик **CT2** досчитывает до NMAX и считает еще раз, появляется сигнал на выводе NMAX+1, который сбрасывает счетчик в 0 и «взводит» **RS** триггер (начало цикла – выход ШИМ-сигнала принимает значение «1»). Счетчик считает дальше, схема сравнения сравнивает значение счетчика со значением, записанным в регистре **RG1**, и когда эти значения совпадут схема сбросит **RS** триггер в значение «0» (выход ШИМ-сигнала принимает значение «0» обеспечив tИ = NТЦ/NMAX). Счетчик продолжает счет и когда досчитывает до NMAX.

Всего использовано 2 адреса:

35h – «**WritePWM**», адрес регистра стробирующего сигнала для записи ШИМ-сигнала;

36h – «**Start/Stop**», адрес регистра пуска/останова ШИМ-сигнала;

Управляющий код, продуцированный входным сигналом **Select[1..0]**, имеет набор служебных бит указанных в Таблице 2 и определяет значение коэффициента k для изменения входной частоты.

Таблица 2. Служебные биты управляющего кода

| x[1] | x[0] | Коэффициент k, Кбит/с |
| --- | --- | --- |
| 0 | 0 | 1 |
| 0 | 1 | 4 |
| 1 | 0 | 8 |

# 

# Схема на основе счетчиков и параллельного регистра

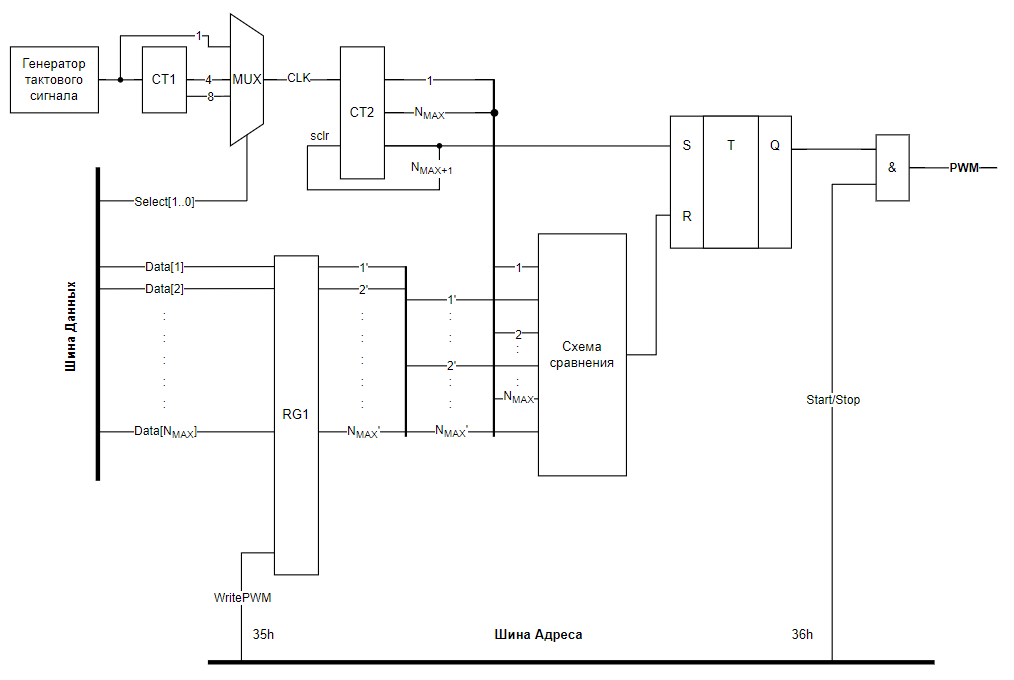


Рисунок 1 – Функциональная схема узла на основе счетчиков и параллельного регистра

# Описание основных элементов библиотеки САПР Quartus II и стандартных микросхем, необходимых для реализации вариантов узла

Для реализации узла в САПР «QUARTUS II», помимо логических элементов (примитивов) используются основные элементы библиотеки.

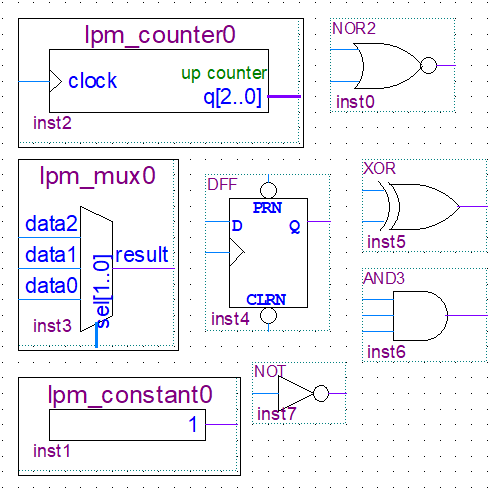


Рисунок 2 – Элементы

* Мегафункция lpm\_counter0 используется для понижения частоты входного тактового сигнала, а также для создания цикла ТЦ = (NMAX+1)kT.
* Мегафункции lpm\_mux0 используется для выбора коэффициента k.
* Мегафункции lpm\_constant используются для формирования констант, логической 1 и логического 0 соответственно.
* DFF-триггер используется для создания параллельного регистра.
* Логические элементы NOR2, XOR, AND3, NOT используются при создании асинхронного RS-триггера, регистра, схеме сравнения и выделении адресов с шины адреса.

# Описание процесса синтеза и моделирования работы предложенных вариантов средствами САПР Quartus II при графическом вводе проектов и полученных при этом результатов

**Синтез и моделирование узла на основе счетчиков и параллельного регистра для 2-ух битового входного параллельного кода**

Согласно заданию разрядность параллельного входного кода равна 20 битам, из этого следует, что при входной частоте тактового генератора 40 МГц, периоде данного сигнала 25 нс и коэффициенте k = 1, период ШИМ сигнала, по формуле ТЦ = (NMAX+1)kT, будет равен 0,026144 с. В системе Quartus II возможно отслеживать временные диаграммы только до 1000 нс, что делает проверку работоспособности преобразователя 20-ти битового входного параллельного кода в ШИМ-сигнал невозможным. Для этого был дополнительно разработан преобразователь 2-ух битового кода в ШИМ-сигнал. В этом случае период ШИМ-сигнала, при k = 1, будет равен 100 нс, что можно наглядно увидеть на временных диаграммах в среде Quartus II.

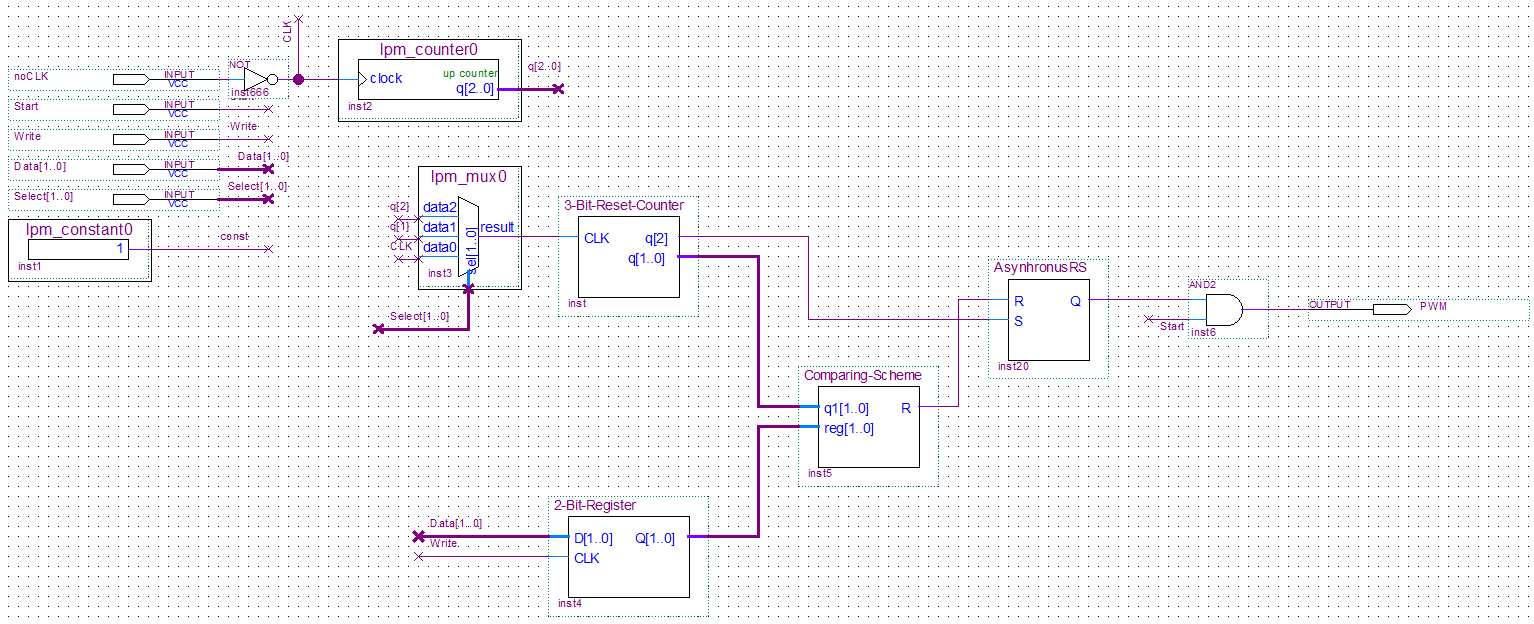


Рисунок 3 – Функциональная схема на основе счетчиков и параллельного регистра для 2-ух битового входного параллельного кода

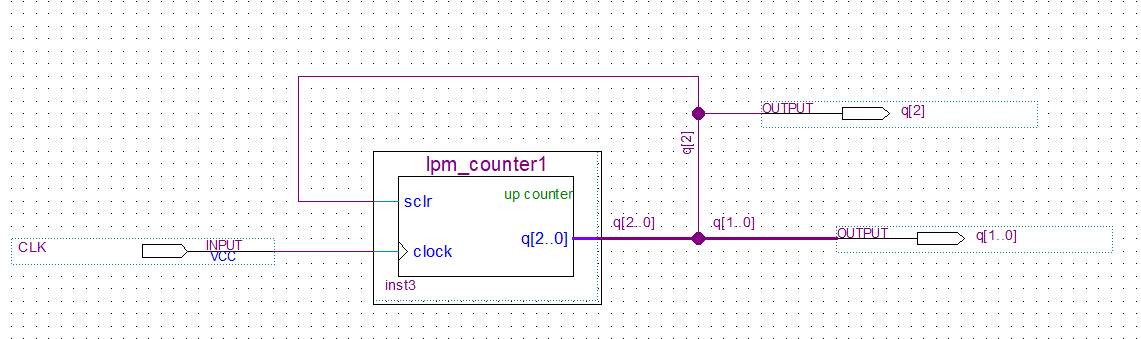


Рисунок 4 – Функциональная схема узла 3-Bit-Reset-Counter

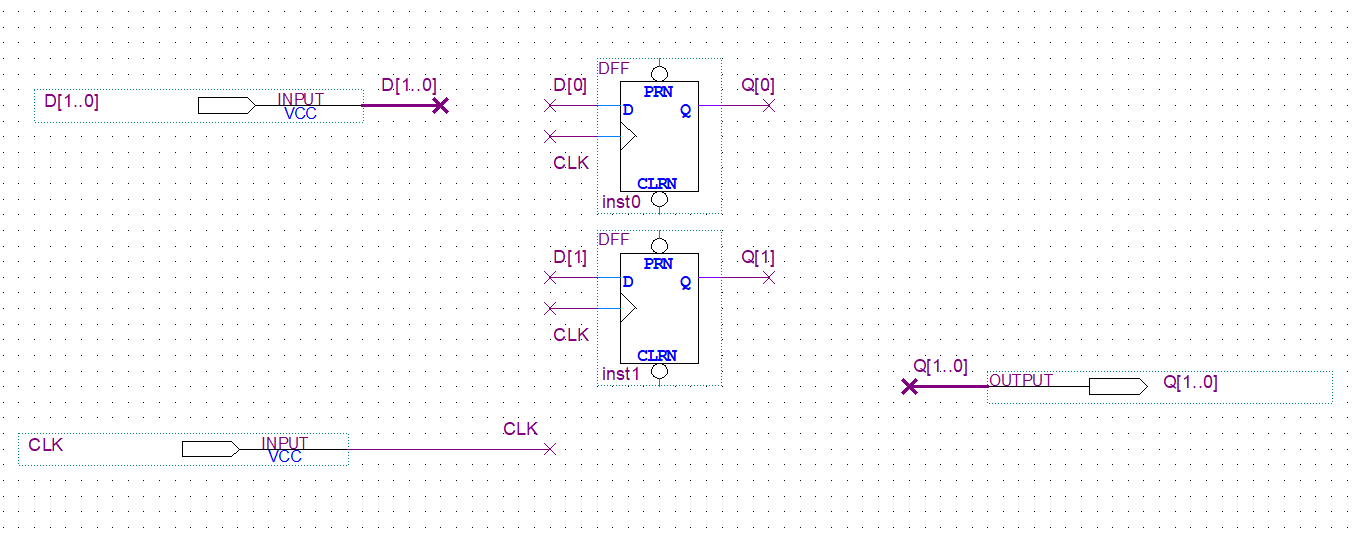


Рисунок 5 – Функциональная схема узла 2-Bit-Register

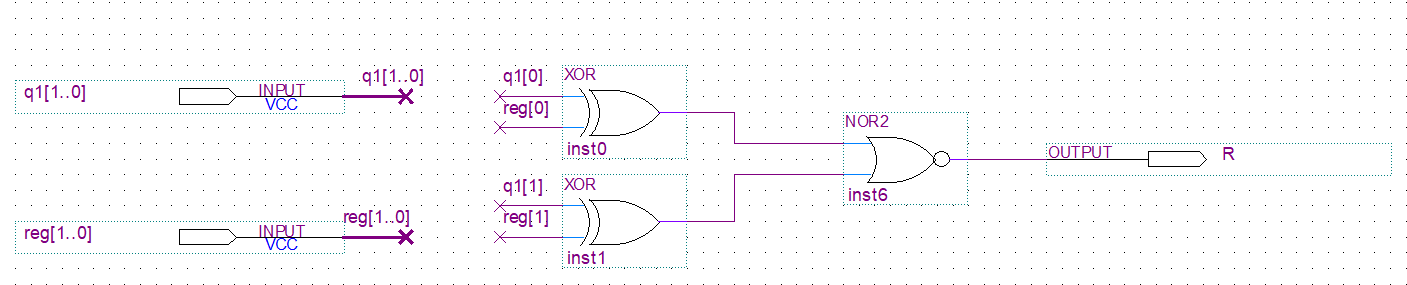


Рисунок 6 – Функциональная схема узла Comparing-Scheme

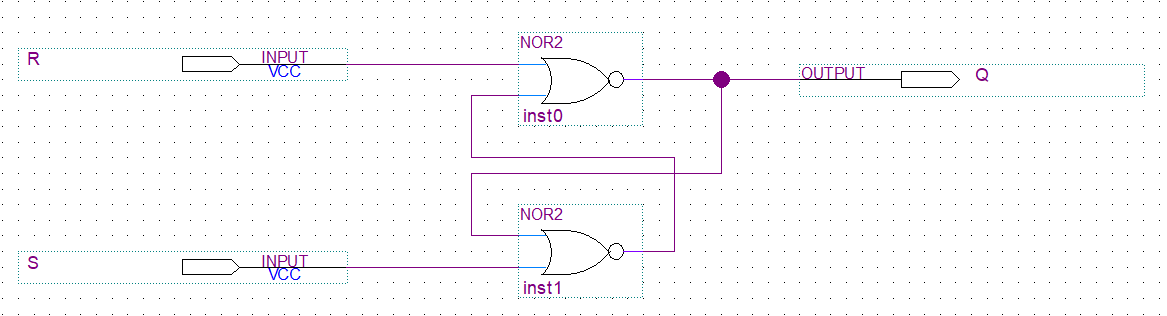


Рисунок 7 – Функциональная схема узла AsynhronusRS

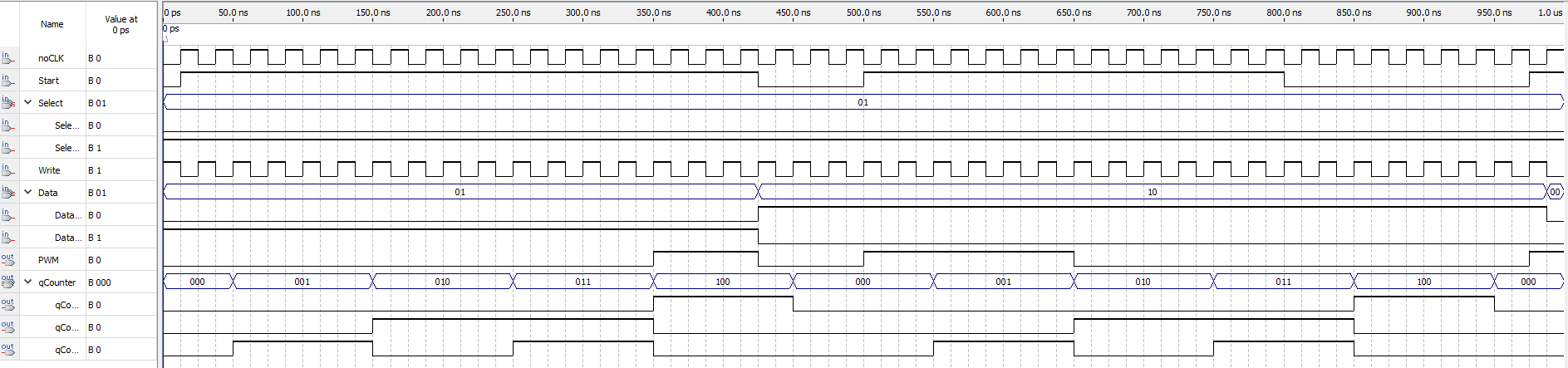
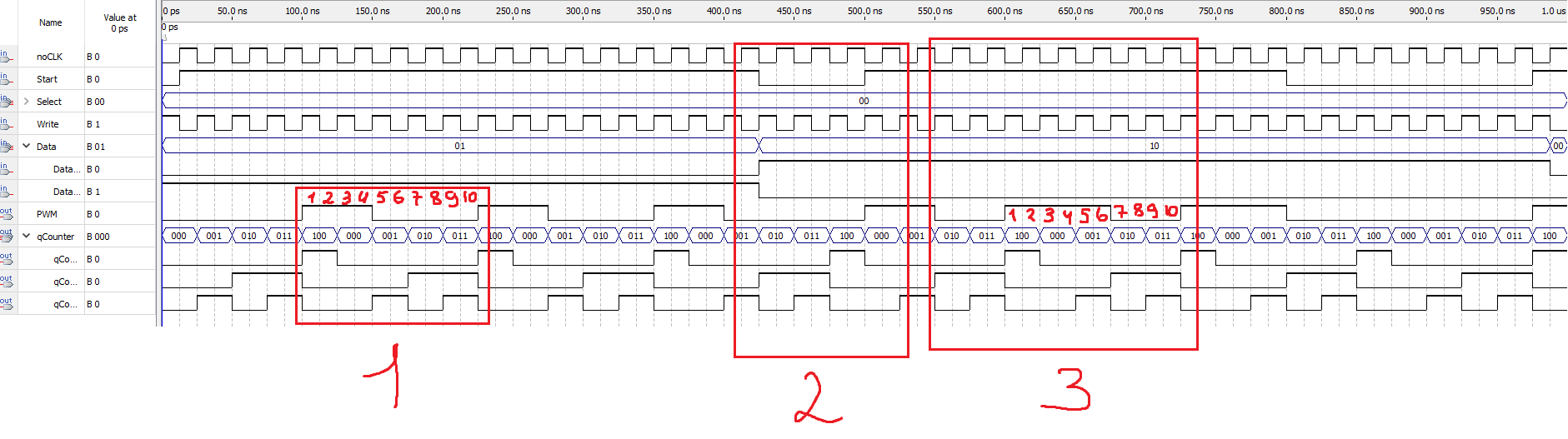


Рисунок 8 – Функциональные диаграммы узла на основе счетчиков и параллельного регистра для 2-ух битового входного параллельного кода

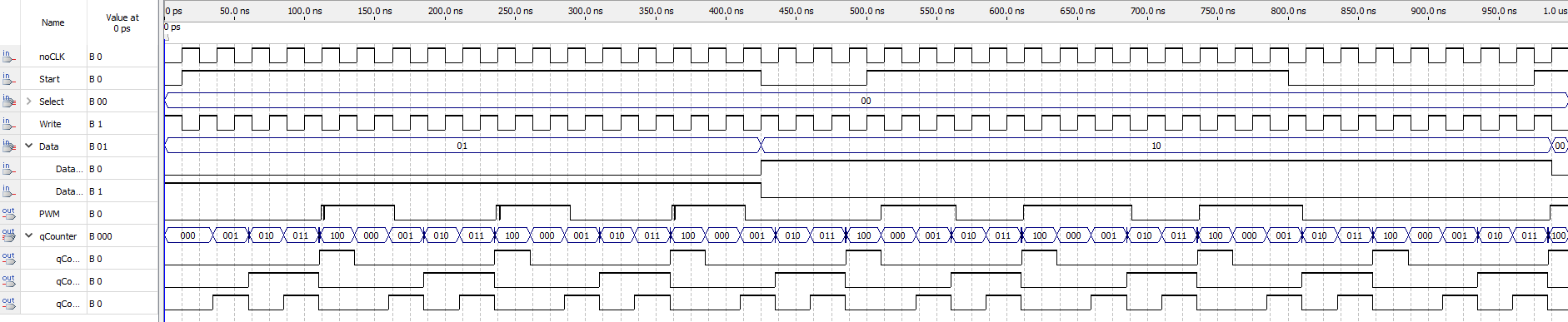


Рисунок 9 – Временная диаграмма узла на основе счетчиков и параллельного регистра для 2-ух битового входного параллельного кода

Исходя из диаграмм можно сделать следующий вывод:

Период ШИМ-сигнала **ТЦ = (NMAX+1)kT = 100 нс/400нс при k = 1 и k = 4**, это можно наблюдать на участках 2 и 3 функциональной диаграммы (Рисунок 8). Однако, **важно заметить**, что разбиение сетки – 12.5 нс на клетку, то есть период сигнала должен составлять 8 клеток (8 \* 12.5 = 100 нс), но на диаграмме явно видно, что клеток 10. Это обусловлено задержкой в 25 нс на переключение счетчика **СТ1** в состояние «0» в начале каждого цикла ТЦ = (NMAX+1)kT при поступлении синхроимпульса. Данное переключение можно наблюдать на выводе NMAX+1 разряда счетчика. Также в любом приборе, при использовании логических элементов, существует задержка на «вентилях», в нашем случае, такие задержки обусловлены 3-х каскадной схемой сравнения. Данную задержку можно наблюдать на временной диаграмме.

* 1 участок:
  + tИ = NТЦ/NMAX = = 33.3 нс, на диаграмме же видно, что период импульса 50 нс, то есть 50% скважности ШИМ-сигнала
* 2 участок:
  + Демонстрирует работу команды Start/Stop
* 3 участок:
  + tИ = NТЦ/NMAX = = 66.6 нс, на диаграмме же видно, что период импульса 75 нс, то есть 75% скважности ШИМ-сигнала

Подводя итог, 2-битовый преобразователь имеет все 4-е варианта изменения скважности ШИМ-сигнала: 0 - 0%, 1 - 50%, 2 - 75%, 3 - 100%. Так как задержка на переключение составляет ¼ от периода ШИМ-сигнала, то вариант при котором скважность равна 25% отсутствует, более того варианты изменения скважности точно не равны значениям полученным по формуле. Из-за этого точность вычисления периода импульса ШИМ-сигнала небольшая. Однако при увеличении кол-ва входных бит параллельного кода, например, до 8 бит погрешность, будет уже очень мала, а скважность составит 0,390625% на каждое число входного кода. Соответственно на 20-битном преобразователе, задержка не будет значительна. Хоть посредствам Quartus II и невозможно наглядно увидеть работу данного преобразователя, разработка 2-битового преобразователя однозначно дала понять, что стратегия разработки узла правильная.

# Синтез и моделирование узла на основе счетчиков и параллельного регистра для 20-ти битового входного параллельного кода

При разработке 20-битового преобразователя главной задачей было изменить 3-и основных узла Comparing-Scheme, 2-Bit-Register, 3-Bit-Reset-Counter. Все узлы были переделаны под 20-битный входной параллельный код. Узел AsynhronusRS – асинхронный RS-триггер остался без изменений.

Основные параметры скважности ШИМ-сигнала на 20-ти битах входного кода при частоте входного тактового сигнала 40 МГц:

* ТЦ = (NMAX+1)kT = 0,026144 с
* tИ = NТЦ/NMAX = 0,013071987 с при N = 524 287, то есть 50% скважности сигнала
* Скважность = % на каждое число входного параллельного кода

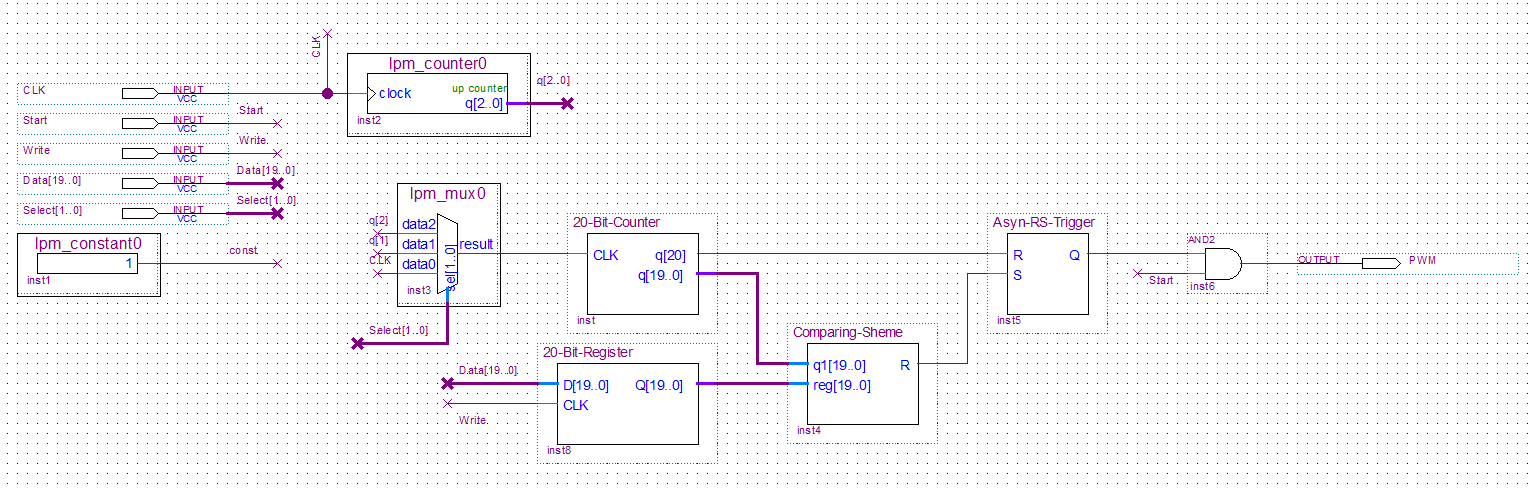


Рисунок 10 – Функциональная схема на основе счетчиков и параллельного регистра для 20-ти битового входного параллельного кода

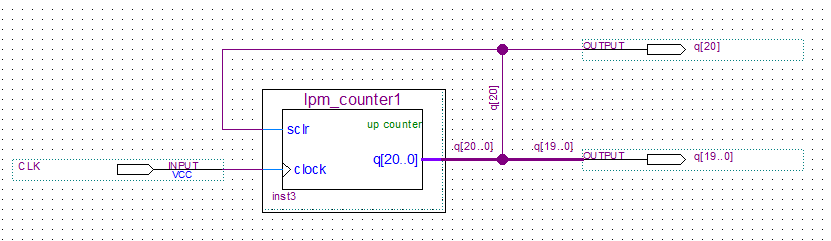


Рисунок 11 – Функциональная схема узла 20-Bit-Counter

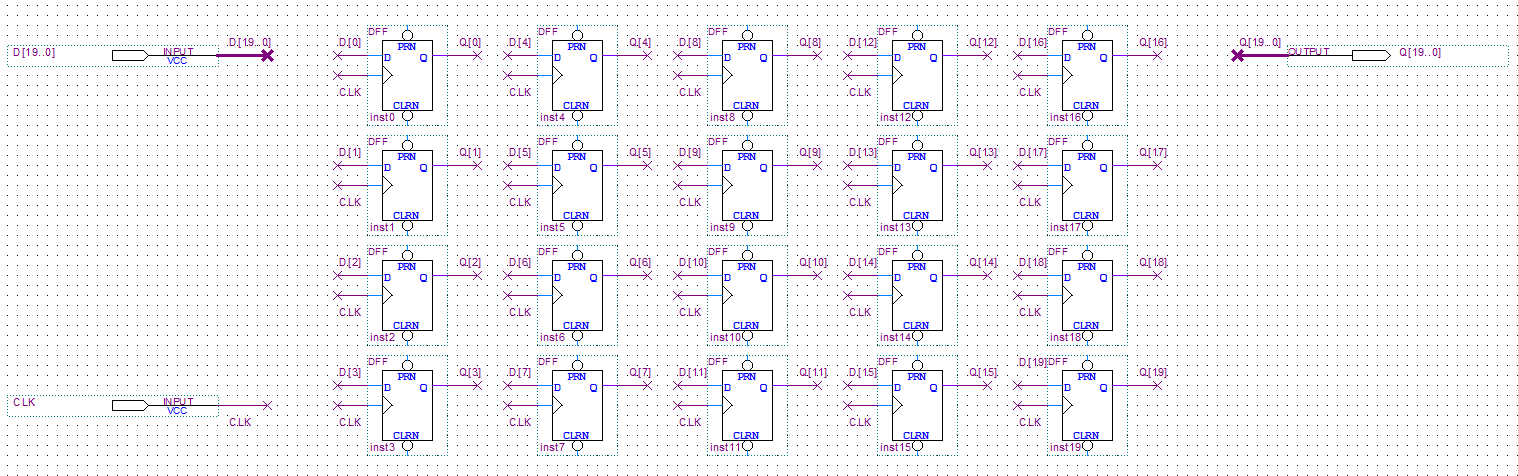


Рисунок 12 – Функциональная схема узла 20-Bit-Register

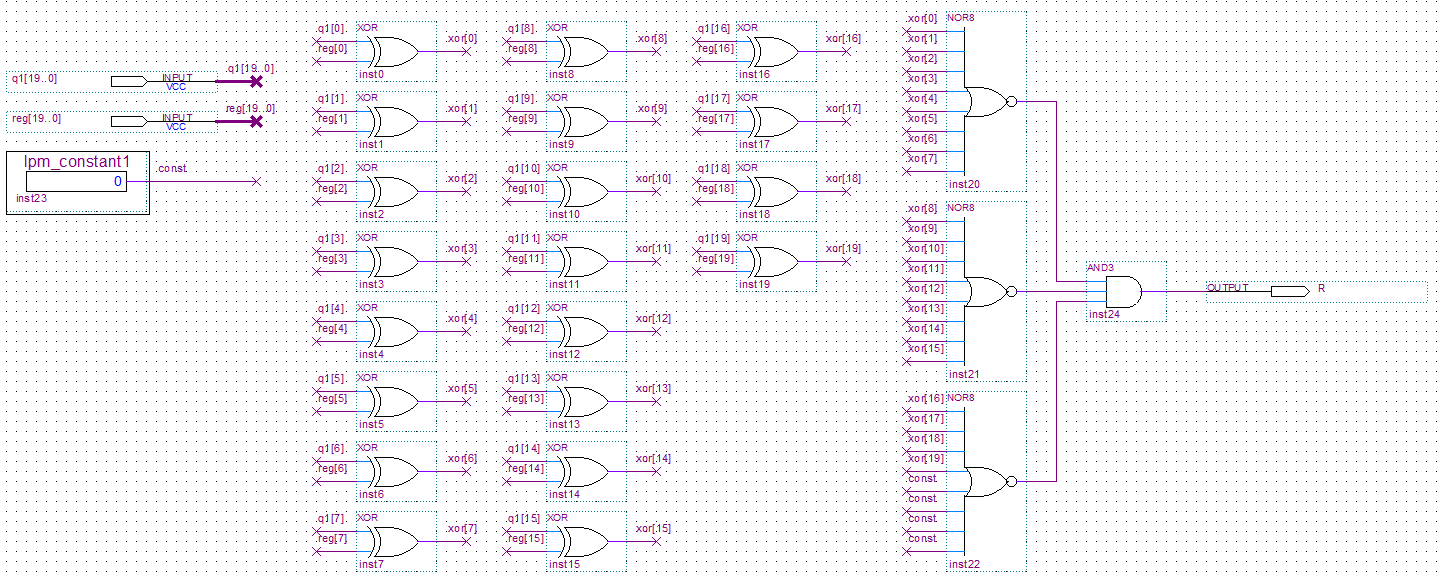


Рисунок 13 – Функциональная схема узла Comparing-Scheme

# Разработка интерфейса сопряжения схемы узла с процессорной системой, для которой проектируемый узел является внешним устройством

Сопряжение узла с процессорной системой происходит посредством шины Microbus. Для работы устройства используются следующие сигналы шины:

«IOR» – сигнал чтения ПС статуса устройства с шины данных;

«IOW» – сигнал подачи ПС очередной команды на шину данных;

A[7..0] – адреса для шины адресов

«WritePWM» – адрес регистра стробирующего сигнала для записи ШИМ-сигнала;

«Start/Stop» – адрес регистра пуска/останова ШИМ-сигнала

Шина данных используется для передачи устройству сигнала старта, остановки, сброса, также для загрузки параллельного кода и кода выбора скорости передачи. 35h – «WritePWM»; 36h – «Start/Stop»

CLK – сигнал с разрабатываемого генератора тактовых импульсов

Data[19..0] – входной параллельный код с шины данных

Select[1..0] – управляющий код выбора коэффициента k

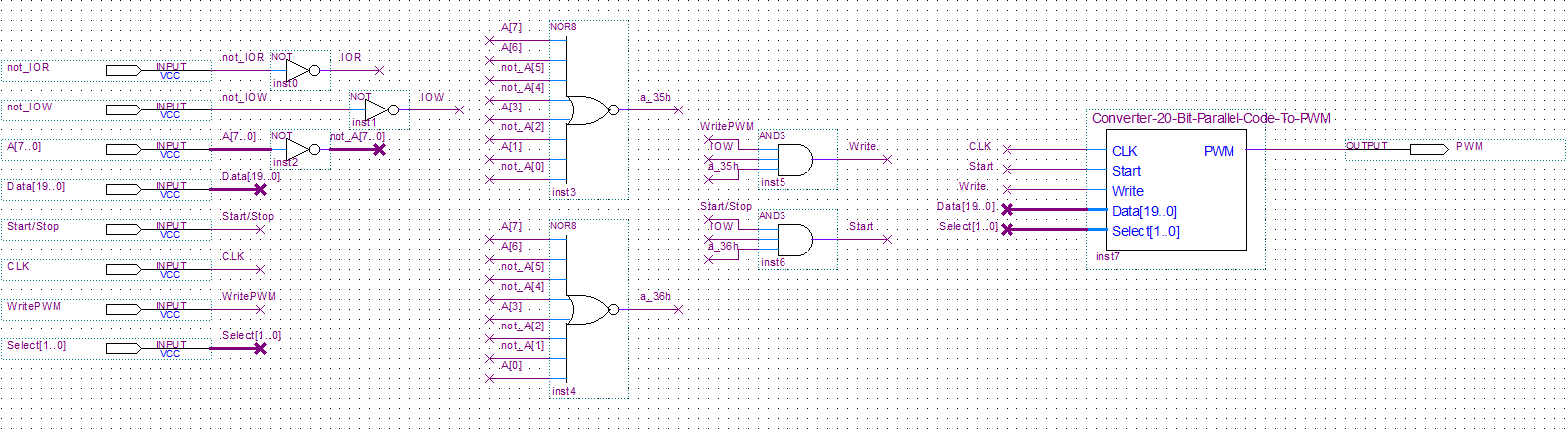


Рисунок 14 – Схема интерфейса сопряжения узла с ПС

# Разработка генератора тактовых импульсов

Для обеспечения заданных временных характеристик выработки ШИМ-сигнала, период генерируемых сигналов может составлять 4 мкс (250 кГц). Определяющим фактором является требуемая стабильность частоты выходных импульсов.

Наибольшую стабильность обеспечивают схемы, содержащие в своем составе кварцевые резонаторы. При допустимой нестабильности частоты порядка единиц процентов применяют простые кольцевые генераторы или RC-генераторы, с время задающими элементами в виде цепочек, содержащих конденсаторы и резисторы.

В схеме (рисунок 18) времязадающая цепочка RC определяет частоту выходных импульсов, равную приблизительно t1= 0,54/RC t2= 0,46/RC. Рекомендуется выбирать R в пределах 200…400 Ом. Резистор R' в схемах на элементах ТТЛ не требуется.

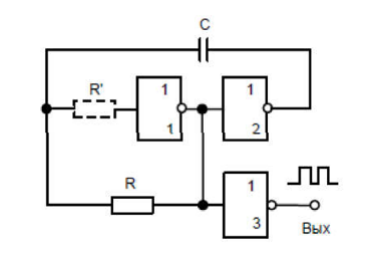


Рисунок 15 – Схема ГТИ

При выборе резистора номиналом в 200 Ом, номинал сопротивления будет составлять С = 18 нФ. Тогда T = => f = 273,5 кГц.

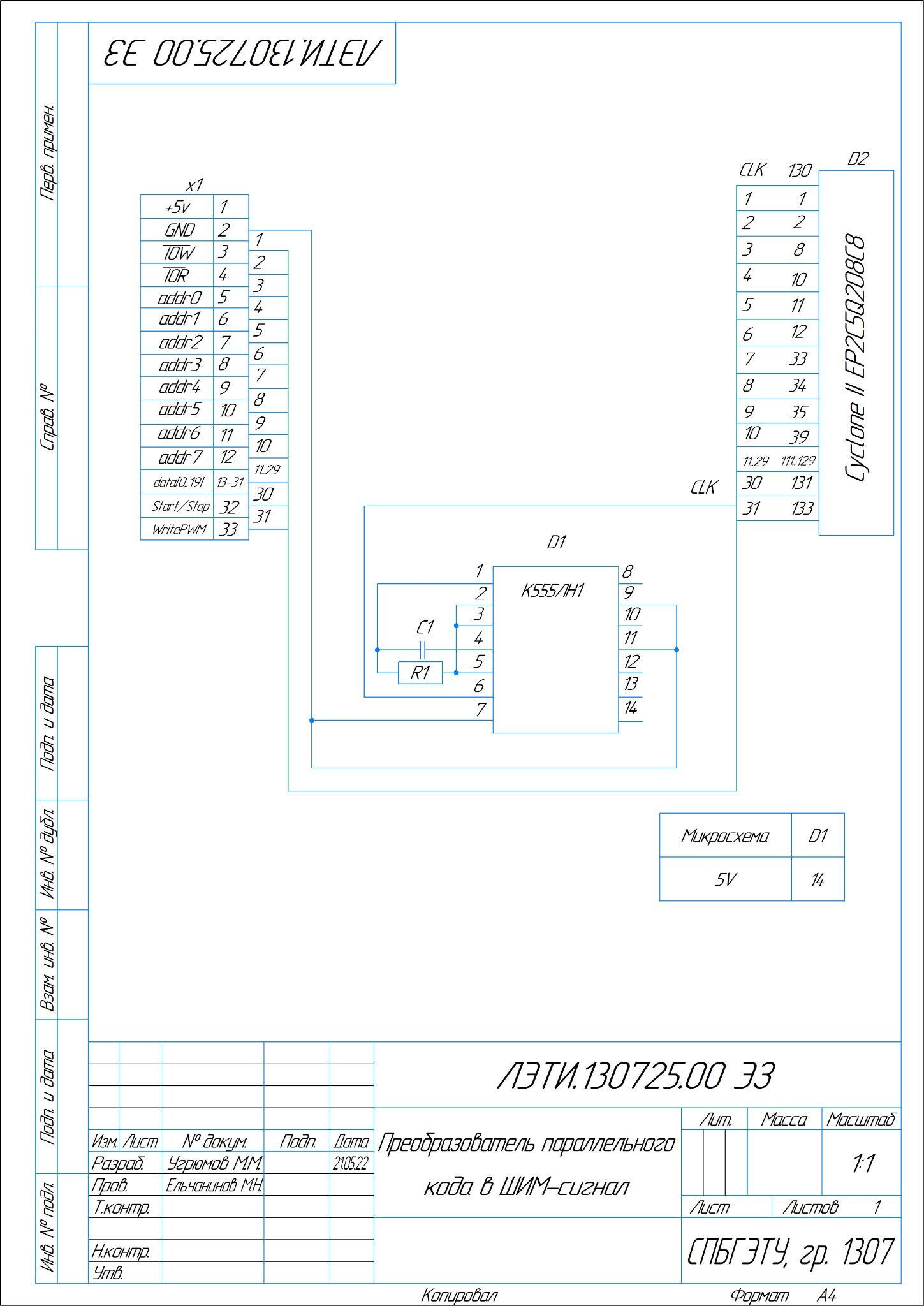


Рисунок 16 – Принципиальная схема типового элемента замены

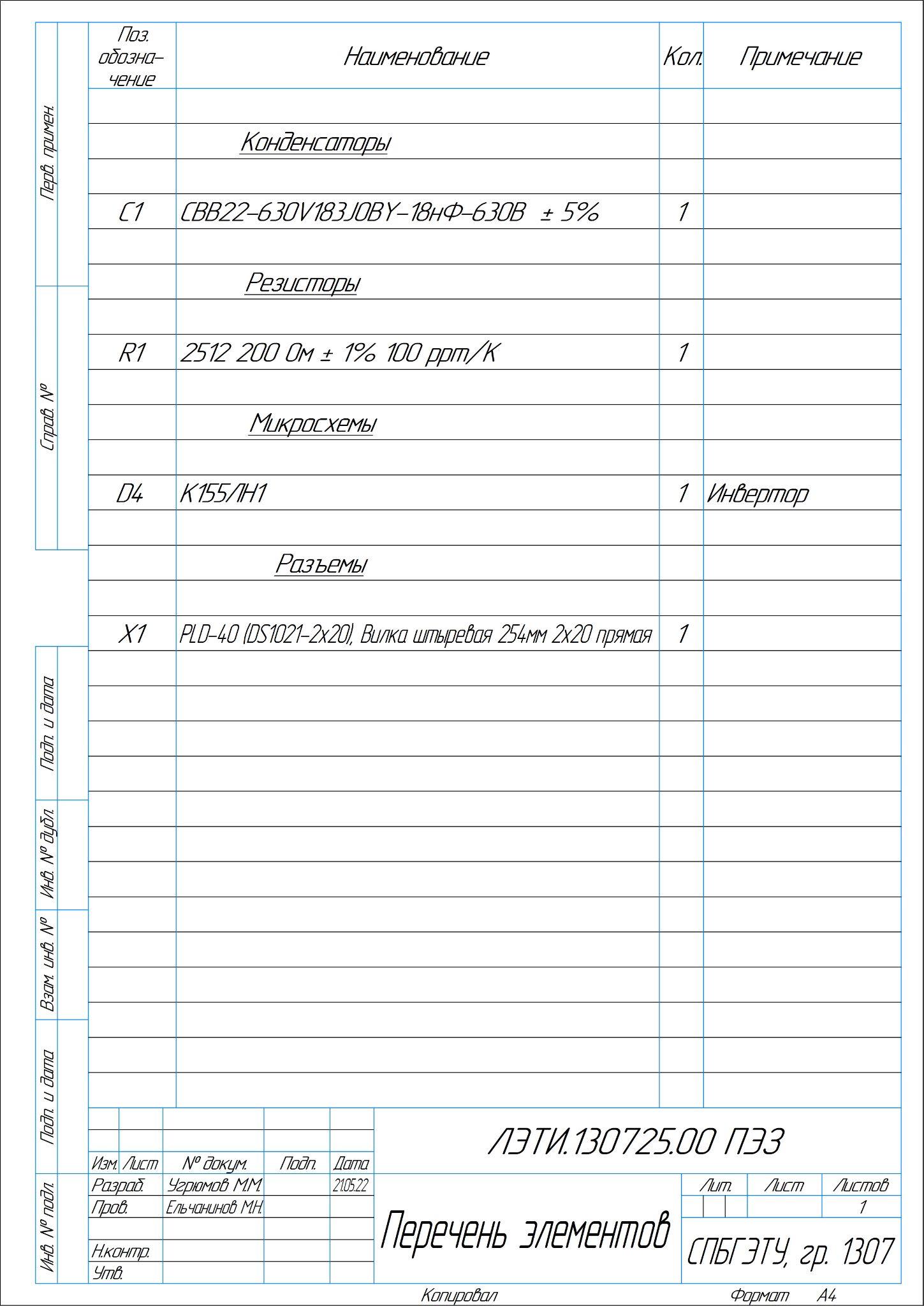


Рисунок 17 – Перечень элементов

# Вывод

**Задание**: Разработать принципиальную электрическую схему преобразования 20-битного параллельного входного кода N в широтно-модулированный импульсный сигнал (рис. 10) с длительностью tИ и периодом ТЦ, где tИ = NТЦ/NMAX, ТЦ = (NMAX+1)kT, Т – период тактового генератора (генератор разрабатывается), а коэффициент k = 1, 4, 8 задается управляющим кодом. Входной код, управляющий код и сигналы пуска/останова преобразователя поступают из управляющего устройства (процессора). Преобразователь рассматривается как ВУ процессорной системы, имеющее адрес в заданной части адресного пространства АП емкостью 256 адресов.

**Результат**: В ходе курсовой работы были разработаны два преобразователя входного параллельного кода в ШИМ-сигнал. Один преобразователь на 2 бита, второй на 20. Разработка преобразователя на 2 бита обусловлена отсутствием возможности наблюдать работоспособность схемы, посредством временных диаграмм среды Quartus II, так как предел просмотра составляет 1000 нс. В случае 20 бит входного кода период ШИМ-сигнала примерно равен 0,03 с, что невозможно увидеть в Quartus II. Работоспособность схемы доказана по временным диаграммам. Задержки в работе узла на 2 входных битах обусловлены временем на переключение счетчиков по синхроимпульсу в положение «0». Однако при использовании 20 бит входного параллельного кода задержка в работе узла будет незначительна и при этом по средствам узла можно менять скважность ШИМ-сигнала

# Список использованных источников

1. Онлайн-курс «Элементная база цифровых систем» в LMS Moodle [сайт]. URL: https://vec.etu.ru/moodle/course/view.php?id=16469.

2. Бондаренко П. Н., Буренева О. И., Головина Л. К. / Узлы и устройства средств вычислительной техники: учеб.-метод. пособие. СПб.: Изд-во СПбГЭТУ «ЛЭТИ», 2017. 64 с.

3. Хоровиц П., Хилл У. Искусство схемотехники. (The Art of Electronics) [Djv-14.1M] Монография. Издание 6-е. Авторы: Пауль Хоровиц (Paul Horowitz), Уинфилд Хилл (Winfield Hill). Перевод с английского Б.Н. Бронина, А.И. Коротова, М.Н. Микшиса, Л.В. Поспелова, О.А. Соболевой, Ю.В. Чечеткина. Научное издание.

(Москва: Издательство «Мир»: Редакция литературы по информатике и новой технике, 2003)

4. Угрюмов Е. П. / Цифровая схемотехника: учеб. пособие для вузов. – 3-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2010. – 816 с.: ил.